

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-090420  
 (43)Date of publication of application : 09.04.1993

---

(51)Int.Cl. H01L 21/90  
 H01L 21/28  
 H01L 21/3205

---

(21)Application number : 03-274842 (71)Applicant : SONY CORP  
 (22)Date of filing : 25.09.1991 (72)Inventor : NEGISHI KUNIAKI

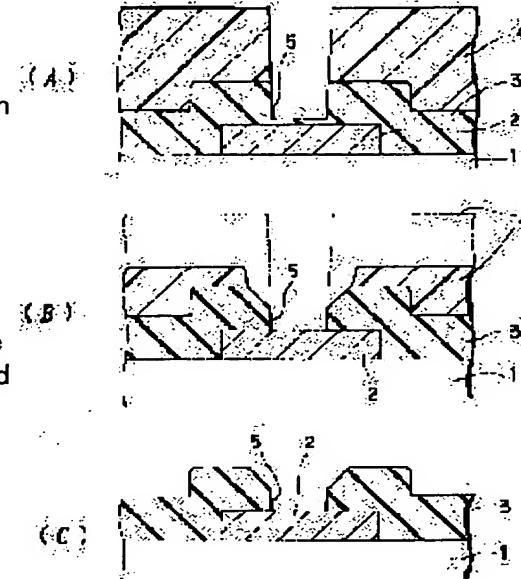
---

## (54) CONNECTING-HOLE FORMING METHOD

## (57)Abstract:

**PURPOSE:** To improve the step coverage of an upper interconnection film with the time of etching being shortened in a connecting-hole forming method by which the surface of an interlayer insulating film is exposed by etching the interlayer insulating film covering a ground conductor with a resist film as a mask.

**CONSTITUTION:** At first, a connecting hole having the depth so that a ground conductor is not exposed is formed in an interlayer insulating film 3 by anisotropic etching. Thereafter, a connecting hole 5 is made to have the depth so that the ground conductor 2 is not exposed by isotropic etching.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-90420

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl. <sup>6</sup>	識別記号	府内整理番号	F I	技術表示箇所
H 01 L 21/90	A 7353-4M			
21/28	V 7738-4M			
21/3205		7353-4M	H 01 L 21/ 88	F

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号	特願平3-274842	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成3年(1991)9月25日	(72)発明者	根岸 邦明 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
		(74)代理人	弁理士 尾川 秀昭

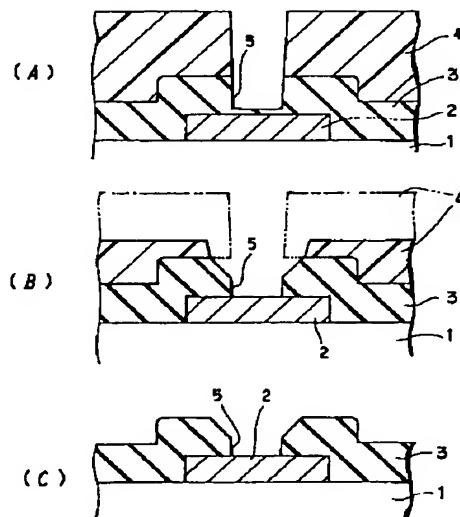
(54)【発明の名称】接続孔の形成方法

(57)【要約】

【目的】下地導電体を覆う層間絶縁膜にレジスト膜をマスクとしてエッチングすることにより該層間絶縁膜表面を露出させる接続孔(スルーホール)を形成する接続孔の形成方法において、エッチング時間の短縮を図りつつ上層配線膜のステップカバレッジが良くなるようにする。

【構成】先ず、異方性エッチングにより層間絶縁膜に下地導電体が露出しない深さの接続孔を形成し、その後、等方性エッチングにより接続孔を下地導電体が露出する深さにする。

実施例を工程順に示す断面図



2…下地導電体  
3…層間絶縁膜  
4…レジスト膜  
5…接続孔

## 【特許請求の範囲】

【請求項1】 下地導電体を覆う層間絶縁膜に対してレジスト膜をマスクとしてエッチングをすることにより該層間絶縁膜表面を露出させる接続孔を形成する接続孔の形成方法において、

上記レジスト膜をマスクとして上記層間絶縁膜に対して先ず異方性エッチングにより上記層間絶縁膜表面を露出させるに至らない深さの接続孔を形成し、

次に、上記レジスト膜をマスクとして等方性エッチングを行うことにより上記接続孔を上記下地導電体表面が露出する深さにすることを特徴とする接続孔の形成方法

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、接続孔の形成方法、特に下地導電体を覆う層間絶縁膜に対してレジスト膜をマスクとしてエッチングをすることにより該層間絶縁膜表面を露出させる接続孔を形成する接続孔の形成方法に関する。

## 【0002】

【従来の技術】 半導体集積回路装置の製造には、下地導電体、例えばアルミニウム配線膜を覆う層間絶縁膜に対してレジスト膜をマスクとしてエッチングをすることにより該層間絶縁膜表面を露出させる接続孔、例えばスルーホールを形成する技術が不可欠であり、そのスルーホールの形成方法として図2 (A) 乃至 (C) に示す方法が知られている。この方法について説明すると次のとおりである。

【0003】 (A) 下地絶縁膜1上に例えばアルミニウムからなる配線膜(下地配線膜)2を形成した後、該下地配線膜2を覆う例えば $SiO_2$ からなる層間絶縁膜3を全面的に形成し、その後、レジスト膜4を塗布し、これに対しての露光、現像をし、かかる後、このレジスト膜4をマスクとして酸化膜系層間絶縁膜(例えば $SiO_2$ 膜)3に対して等方性エッチング(例えばプラズマエッチング)を行うことによりスルーホール5を形成する。但し、このスルーホール5はこの段階では下地配線膜2表面を露出させるに至っていない。即ち、この等方性エッチングは接続孔5が下地配線膜2を露出しない深さになるように行う。図2 (A) は等方性エッチング終了後の状態を示す。尚、図2 (A) において、2点鎖線は等方性エッチング終了後におけるレジスト膜4表面を示す。該レジスト膜4はこの等方性エッチングにおける層間絶縁膜3によりこの2点鎖線に示す位置まで後退するのである。

【0004】 (B) 次に、上記レジスト膜4をマスクとして異方性エッチング(例えばRIE)を行うことにより図2 (B) に示すように接続孔5を下地配線膜2表面を露出させる。

(C) その後、図2 (C) に示すようにレジスト膜4を除去する。

## 【0005】

【発明が解決しようとする課題】 上記の従来の方法は、スルーホール5の微細化を図ると共に、スルーホール5を通して下地配線膜2と接続される図示しない上層アルミニウム配線膜のステップカバレッジを良くすることができる方法として採用されていたものである。

【0006】 しかしながら、この従来方法には下記の問題があった。第1に、等方性エッチングをプラズマエッチングにより行うと、主としてFラジカルの化学反応によってエッチングが進行するので酸化膜系の層間絶縁膜に対してエッチングレートが遅く、作業性が劣るのみならず、層間絶縁膜に対するレジスト膜との選択比が小さく、エッチング中にレジスト膜4が大きく後退するので、微細加工性の向上が阻まれるという問題がある。

【0007】 尚、等方性エッチングをウェットエッチングにより行った場合には、エッチングレートが遅く作業性が劣るということはないが、その反面エッチングレートが不安定で、プロセス制御性が劣るという問題に直面するし、スルーホール5が小さい場合には層間絶縁膜の濡れ性の関係で蒸液がスルーホール5内に入りにくくエッチングが困難となるので、微細なスルーホール5を形成する場合には採用できないのである。

【0008】 第2の問題は、RIEによる異方性エッチング中にプラズマ中のイオンによる衝撃で下地配線膜2の表面がスパッタリングされ、それがスルーホール5及びレジスト膜4の側壁に付着したまま残り、それが上層配線膜のステップカバレッジの低下を招くことにある。尚、図2 (B) (C) の6は、そのスパッタリング物(例えばアルミニウム)を示す。

【0009】 本発明はこのような問題点を解決すべく為されたものであり、生産性、微細加工性の低下を伴うことなく上層配線膜のステップカバレッジが良くなるようにすることを目的とする。

## 【0010】

【課題を解決するための手段】 本発明接続孔の形成方法は、先ず、異方性エッチングにより層間絶縁膜に下地導電体が露出しない深さの接続孔を形成し、その後、等方性エッチングにより該接続孔を上記下地導電体が露出する深さにすることを特徴とする。

## 【0011】

【実施例】 以下、本発明接続孔の形成方法を図示実施例に従って詳細に説明する。図1 (A) 乃至 (C) は本発明接続孔の形成方法の一つの実施例を工程順に示す断面図である。

(A) 下地絶縁膜1上に例えばアルミニウムからなる下地配線膜2を形成した後、該下地配線膜2を覆う例えば $SiO_2$ からなる層間絶縁膜3を全面的に形成し、その後、レジスト膜4を塗布し、これに対しての露光、現像をし、かかる後、このレジスト膜4をマスクとして層間絶縁膜3に対してRIEによる異方性エッチングを行う

ことによりスルーホール5を形成する。但し、このスルーホール5はこの段階では下地配線膜2表面を露出させるに至っていない。即ち、この等方性エッティングはスルーホール5が下地導電体2を露出しない深さになるように行う。

【0012】異方性エッティングを下地配線膜2が露出するまで行わないのは、イオンにより下地配線膜2がスペッタリングされるのを防止するためである。尚、この異方性エッティングによりレジスト膜4も僅かにエッティングされるが、RIEによれば、レジスト膜4と層間絶縁膜3との間に充分に大きな選択比をとることができるのでレジスト膜4のエッティング量は無視できる程度に僅かである。従って、レジスト膜の後退により微細加工性が低下するという問題は生じない。

【0013】(B) 次に、プラズマエッティングによる等方性エッティングを行い、スルーホール5を下地配線膜2表面が露出する深さにする。図1 (B) は等方性エッティング終了後の状態を示す。このプラズマエッティングは、平行平板型プラズマ装置を用い、反応ガスとしてSF<sub>6</sub>又はSF<sub>6</sub>/O<sub>2</sub>を使用し、RFパワーを6W/cm<sup>2</sup>以上、圧力を40~200パスカル(Pa)にして行う。このようにすると、プラズマエッティングとしてはエッティングレートを高くすることができるし、等方性エッティングにより必然的に生じるサイドエッティングのエッティング速度よりもレジスト膜4の後退速度の方が速くなる。

【0014】その結果、等方性エッティング中においてレジスト膜4が徐々に後退することによってスルーホール5の上部にテーパーがつく。従って、後に形成される上層配線膜のステップカバレッジを良くすることが可能になる。尚、テーパーの程度はプラズマエッティング時間によって制御できる。尚、2点鎖線は等方性エッティング開始前のレジスト膜4を示す。

【0015】そして、スルーホール5を等方性エッティングによって深くして下地配線膜2を露出させるけれども、等方性エッティングによればイオンの持つエネルギーがRIEの場合と比較して小さいので下地配線膜2がスペッタリングされることはない。従って、従来のようにスペッタリング物6(図2参照)が生じステップカバレッジを低下させるという問題が生じることはない。

(C) その後、図1 (C) に示すようにレジスト膜4を除去する。

【0016】このような接続孔の形成方法によれば、先ず、エッティングレートが速く層間絶縁膜とレジスト膜との間で選択比を充分にとることができるので異方性エッティングを駆使してスルーホール5を下地配線膜2表面が露出しない程度の深さに形成するので、生産性の低下を伴うことなくスルーホール5を形成することができるし、微細加工性が低下することもない。

【0017】そして、その後、層間絶縁膜とレジスト膜との間の選択比が小さくイオンのエネルギーの低い等方性エッティングによってスルーホール5を下地配線膜2表面が露出する深さにするので、等方性エッティング途中でスルーホール5上部にテーパーがつくし、また下地配線膜2表面がスペッタリングされることもない。従って、ステップカバレッジを良くすることができる。尚、等方性エッティングは異方性エッティングに比較してエッティングレートが低いが、下地配線膜2が露出する直前までエッティングレートの高い異方性エッティングによりスルーホール5を形成し、僅かな残りを等方性エッティングにより除去して下地配線膜2表面を露出させるので、従来よりもエッティングに要する時間を短かくすることができ、作業性を高めることができる。

【0018】尚、本発明は、スルーホールを形成する方法のみならず、半導体基板表面に形成された拡散層表面を露出させるコンタクトホールを形成する方法にも適用することができる。

【0019】  
20 【発明の効果】本発明接続孔の形成方法は、レジスト膜をマスクとして上記層間絶縁膜に対して先ず異方性エッティングにより上記層間絶縁膜表面を露出させるに至らない深さの接続孔を形成し、次に、上記レジスト膜をマスクとして等方性エッティングを行うことにより上記接続孔を上記下地導電体表面が露出する深さにすることを特徴とするものである。従って、本発明接続孔の形成方法によれば、下地導電体表面がスペッタリングされる虞れをなくすことができ、また、等方性エッティングの過程でレジスト膜の後退により接続孔の上部にテーパーがつくようになる。従って、ステップカバレッジを向上させることができる。

【0020】そして、エッティングの大部分をエッティングレートの高い異方性エッティングにより行うことができるるので、それにより図2に示す従来の場合よりもエッティングに要する時間を短縮できる。また、異方性エッティングは層間絶縁膜とレジスト膜との間に大きな選択比がとれるので、異方性エッティング中にレジスト膜が後退して微細加工性が低下することはない。従って、本発明接続孔の形成方法によれば従来よりも生産性、微細加工性を高めることができる。

【図面の簡単な説明】  
【図1】(A)乃至(C)は本発明接続孔の形成方法の一つの実施例を工程順に示す断面図である。

【図2】(A)乃至(C)は従来例を工程順に示す断面図である。

【符号の説明】

2 下地導電体

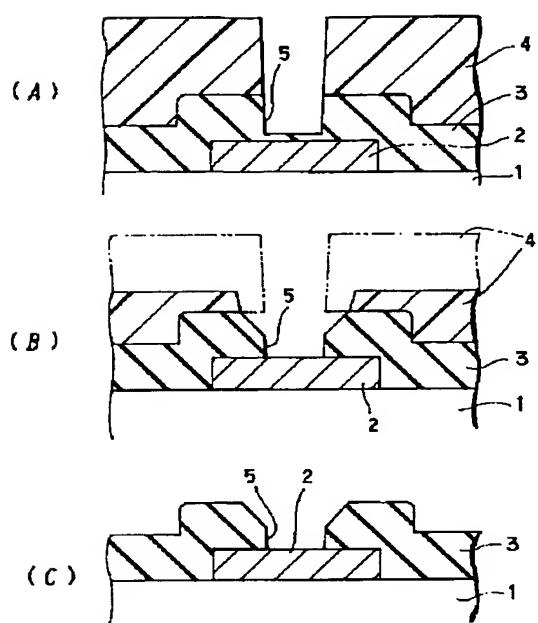
3 層間絶縁膜

4 レジスト膜

5 接続孔(スルーホール)

【図1】

実施例を工程順に示す断面図



2…下地導電体  
3…層間絶縁膜  
4…レジスト膜  
5…接続孔

【図2】

従来例を工程順に示す断面図

